

52 Japan Classification

19 Japan Patent Office

Japanese Utility Model Publication

JPO File No.

11 Japanese Utility Model Application Laid-Open No. 48-41159

43 Publication Date May 25, 1973

Request for Examination not requested (total 4 pages)

54 Charge-Coupled Semiconductor Device

21 Application No. 46-83995

22 Filing Date September 15, 1971

72 Inventor SATOH, Shuichi

Ha-9-507, Tamagawajutaku, 3-1, Somechi, Chofu-shi

71 Applicant Sony Corporation

6-7-35, Kitashinagawa, Shinagawa-ku, Tokyo

74 Representative Patent Attorney TSUCHIYA, Masaru (One other)

Then, applied are voltages of critical value or more allowing electrodes (21), (22), (23), (24), (25), (26) to hold charges. These voltages to be applied to the electrodes are different from each other and become gradually larger from the left-side electrode to the right-side electrode. The critical value voltage varies depending on the thicknesses of the silicon oxide layer (14) and the alumina layer (15). For example, when the critical value voltage is about 20 V, +50 V is applied to one electrode for one second and the other electrode are given voltages which differ from each other by several volts.

With the above-described structure, it becomes possible to shift carriers without using a clock, thereby enabling effective use in a simplified electronic device. In other words, this device can

be used as a shift register, a delay circuit, a storage circuit configured to return outputs to the input side or the like.

公開実用新案公報

①実開昭48-41159

②日本分類
99(5)E 3
99(5)H 0
98(9)D 12
97(7)C 61
99(5)C 23

庁内整理番号 6426-57
6513-57
6372-56
6340-56
7113-57

③公開 昭48(1973).5.25

審査請求 未請求 (全4頁)

④電荷結合形半導体装置

②実 願 昭46-83995

②出 願 昭46(1971)9月15日

⑦考 案 者 佐藤収一

調布市染地3の1多摩川住宅はの
9の507

⑦出 願 人 ソー株式会社

東京都品川区北品川6の7の35

⑦代 理 人 弁理士 土屋勝 外1名

⑤実用新案登録請求の範囲

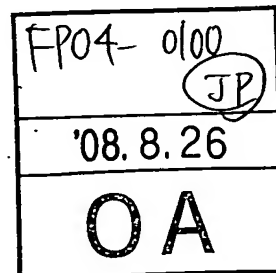
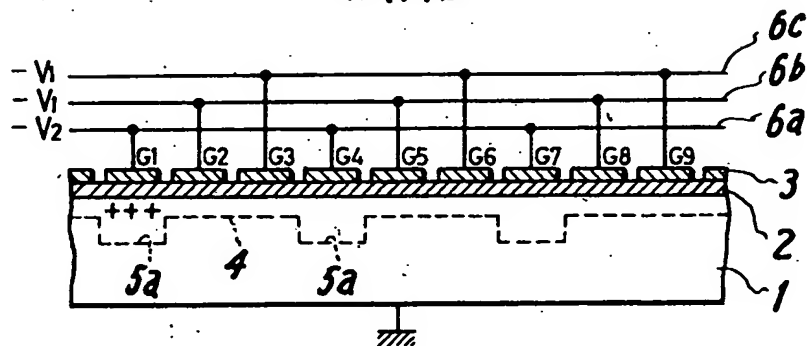
半導体基板上に電荷蓄積効果を有する絶縁層を設け、階段状若しくは傾斜状に空乏層が形成されるように前記絶縁層の一部若しくは全部に電荷を注入保持せしめ、前記電荷を注入保持せしめた絶

縁層下において少数キャリアが方向性を具備して移送されるように構成したことを特徴とする電荷結合形半導体装置。

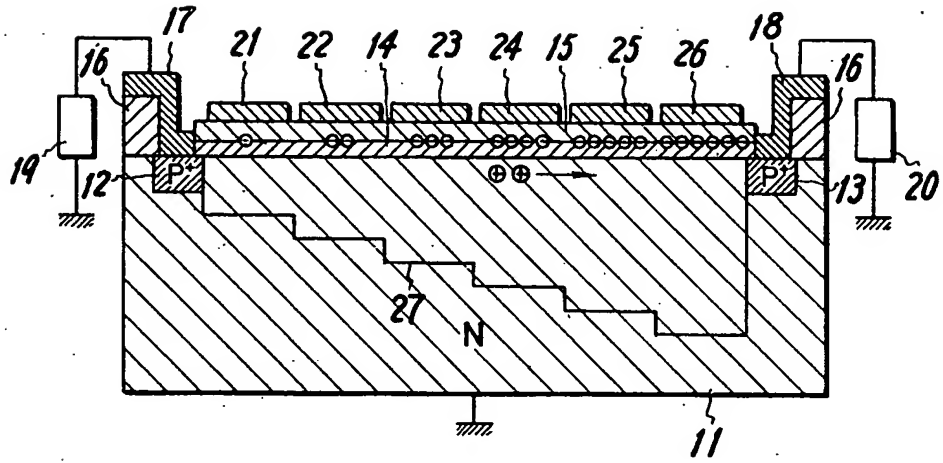
図面の簡単な説明

第1A図、第1B図及び第1C図は従来の電荷結合形素子を示す断面図、第2A図～第2C図は本考案の実施例を示すものであつて、第2A図は電荷蓄積効果を有する絶縁層を形成した状態の断面図、第2B図は電極を設けた状態の断面図、第2C図は平面図、第3図は本考案の別の実施例を示す断面図である。また図面に用いられている符号において、11は半導体基板、12,12はP⁺形半導体領域、14はシリコン酸化物層、15はアルミナ層、21,22,23,24,25,26は電極、27は空乏層である。

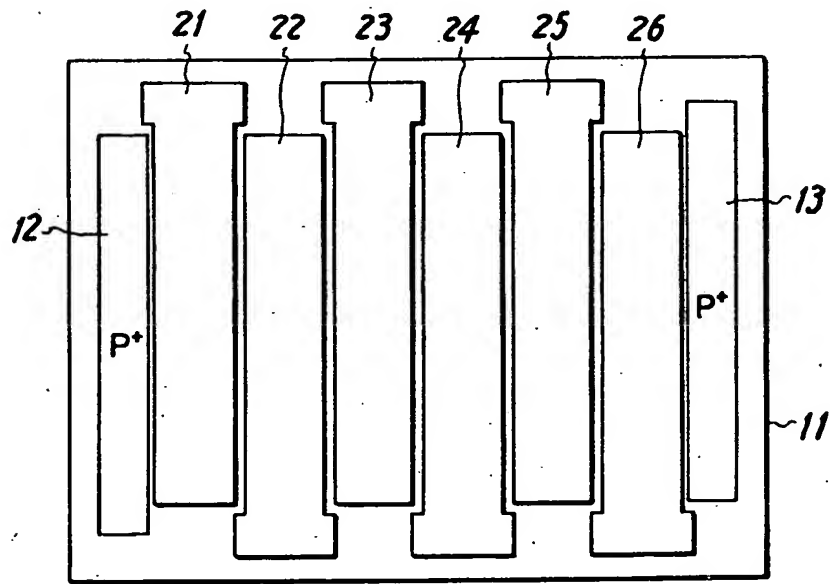
第1A図



第2B図



第2C図





実用新案登録願 (2)

昭和 46年 9月 15日

特許庁長官 殿

1. 考案の名称

電子結合形半導体装置

2. 考案者

東京都調布市染地3の1 多摩川住宅はの9の507
佐 藤 取 一

3. 実用新案登録出願人

東京都品川区北品川6丁目7番35号
(218) ツーワン株式会社
代表者 盛田 昭夫

4. 代理人

〒160
東京都新宿区西新宿7の11の15 ミヤコビル
電話東京 (03) 363 - 1466 番
(6595) 弁護士 上 堀 勝
同 所
(7215) 弁護士 高 野 則 次

5. 添附書類の目録

(1) 明 細 書	1 通
(2) 図 面	1 通
(3) 願 書 副 本	1 通
(4) 委 任 状	1 通

48-41159-01

大 式 (2)

電極と半導体間に逆バイアス電圧を加えることによつて空乏層を形成し、この空乏層を逆バイアス電圧のレベルによつて制御し、電位の井戸を形成し、この電位の井戸が少数キャリアを捕えてこの少数キャリアを一方向に順次移動させるように構成した素子である。

既に知られている電荷結合素子の構成及びその動作を第1A図～第1C図に付き説明すれば、半導体基板(1)は低不純物濃度かつ低表面単位、例えばn形のシリコン基板であつて、この表面に1000⁰Å程度の絶縁層(2)、例えばSiO₂層を具備している。

絶縁層(2)の上にはCr-Au等で形成された電極(3)が数μの微小ギャップを有して複数個直線状に配列されている。尚この図面では理解を容易にするために各電極にG₁、G₂、……G₉の符号を付

が形成され、この電位の井戸 (5a) が注入した少数キャリア即ち正孔を捕える。

次に第 1 B 図に示す如く、リード線 (6a) に $-V_1$ ボルト、リード線 (6b) に $-V_2$ ボルト、リード線 (6c) に $-V_3$ ボルト、即ち電極 G1、G4、G7 に $-V_1$ ボルト、電極 G2、G5、G8 に $-V_2$ ボルト、電極 G3、G6、G9 に $-V_3$ ボルト印加する。尚各電圧の関係は $V_2 > V_1 > V_3$ である。このように逆バイアス電圧を加えれば、電極 G1 と相隣る電極 G2 との下部に電極 G1 の下部よりも深い空乏層即ち深い電位の井戸 (5b) が形成されるため、電位の井戸 (5a) に捕えられていた正孔は電位の井戸 (5a) から (5b) に移動する。

次に更に正孔を右側に移動させるためには第 1 C 図に示す如くリード線 (6a) に $-V_1$ ボルト、リード線 (6b) に $-V_2$ ボルト、リード線 (6c) に $-V_3$ ボルト

されたものであつて、半導体基板上に電荷蓄積効果を有する絶縁層例えばアルミナ+シリコンオキサイド層若しくはナイトライド+シリコンオキサイド層若しくはアルミナ層等の絶縁層を設け、階段状若しくは傾斜状に空乏層が形成されるように前記絶縁層の1部若しくは全部に電荷を注入保持せしめ、前記電荷を注入保持せしめた絶縁層下において少数キャリアが方向性を有して移送されるように構成した電荷結合形半導体装置に係るものである。このように構成することによつて駆動機構を簡単にすることが出来る。

次に本考案を適用した電荷結合形半導体装置の実施例を図面に付き述べる。

本考案に基づく電荷結合形半導体装置を製作するため、まず第2A図に示す如く、N形シリコ

ヤツブを約 3 μ 程度とする。この結果金属電極—アルミナ層 09—シリコン酸化物層 04—半導体基板 01 とからなる層即ち MAOS 層が形成される。この MAOS 層は M と S との間に臨界値電圧以上のバイアスを加えることによつて電荷を蓄積保持することが出来る性質を有するものである。また P^+ 形半導体領域 02 に電極 07 を設け、入力回路 09 を接続し、 P^+ 形半導体領域 03 に電極 08 を設け、出力回路 05 を接続する。

次に電極 01 02 03 04 05 06 に電荷を保持することが出来る臨界値以上の電圧を印加する。尚この印加する電圧はそれぞれの電極に対してそれぞれ異なる値とし、左から右に進むに従つて高い値にする。臨界値電圧はシリコン酸化物層 04 とアルミナ層 09 との厚さによつて変化するが、例えば 20 ボルト

ン形の FET と同じような状態となる。従つて上述の如くシリコン酸化物層 06 とアルミナ層 09 との界面及びその近傍に電荷が蓄積されれば、第 2 B 図に模式的に示す如く空乏層 07 が広がる。即ち電極 01 ~ 08 の電荷の量に応じて階段状に順次深くなるように形成されている。

次に上述の如く形成された装置の動作に付き述べる。今、入力回路 09 によつて P^+ 形半導体領域 03 から正孔を電極 01 の下に注入したとすれば、空乏層 07 が左側から右側に階段状に深くかつているので、正孔に方向性が与えられ、正孔は左側から右側にシフトする。そしてついに右側の P^+ 形半導体領域 03 にまで移動し、出力回路 04 で正孔の到達を知ることが出来る。

上述の如くすることによつて、クロックを用い

設けられている。

上述の如く構成すれば、キャリアの注入と取り出しをクロックで行うことが出来、前述の実施例よりは正確となる。

以上本考案を実施例に基づいて説明したが本考案は上述の実施例に限定されることなく本考案の技術的思想に基づいて更に変形が可能であることは理解されるであろう。例えば少数キャリアの発生若しくは注入方法をアバランシェ効果による方法、光あるいは電子線等を照射する方法等をとることも出来る。またアルミナ層09とシリコン酸化物層04の代りにナイトライド層とシリコン酸化物層とによる絶縁膜等で形成することも出来る。また絶縁膜に対する電荷の蓄積を階段状とせずに傾斜状としてもよい。尚傾斜状に電荷を蓄積するた

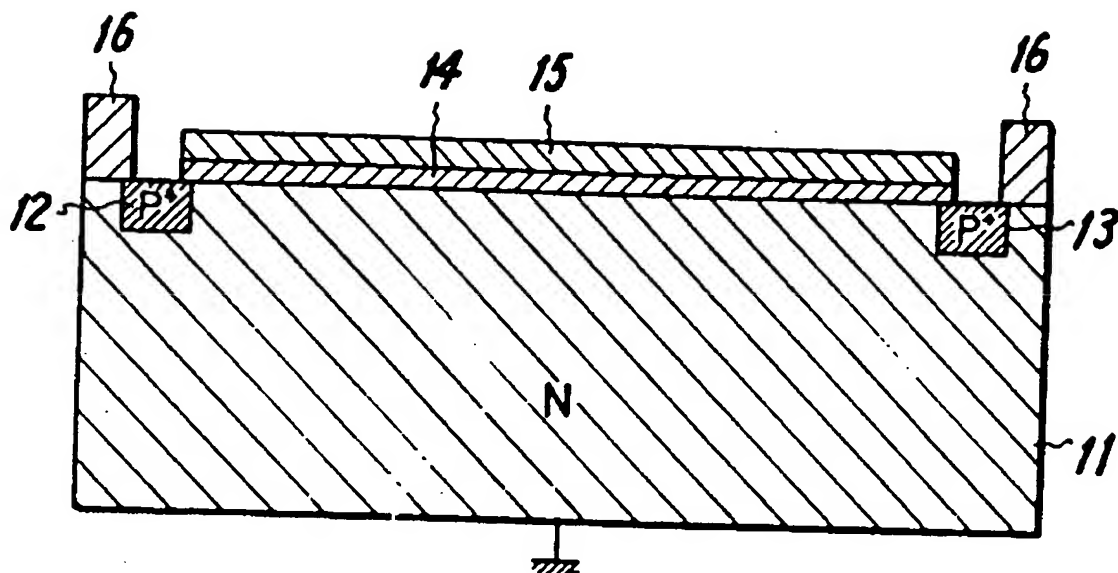
2 C 図は平面図、第 3 図は本考案の別の実施例を示す断面図である。

また図面に用いられている符号において、(1)は半導体基板、(2)(3)は P^+ 形半導体領域、(4)はシリコン酸化物層、(5)はアルミナ層、(21)(22)(23)(24)(25)(26)は電極、(27)は空乏層である。

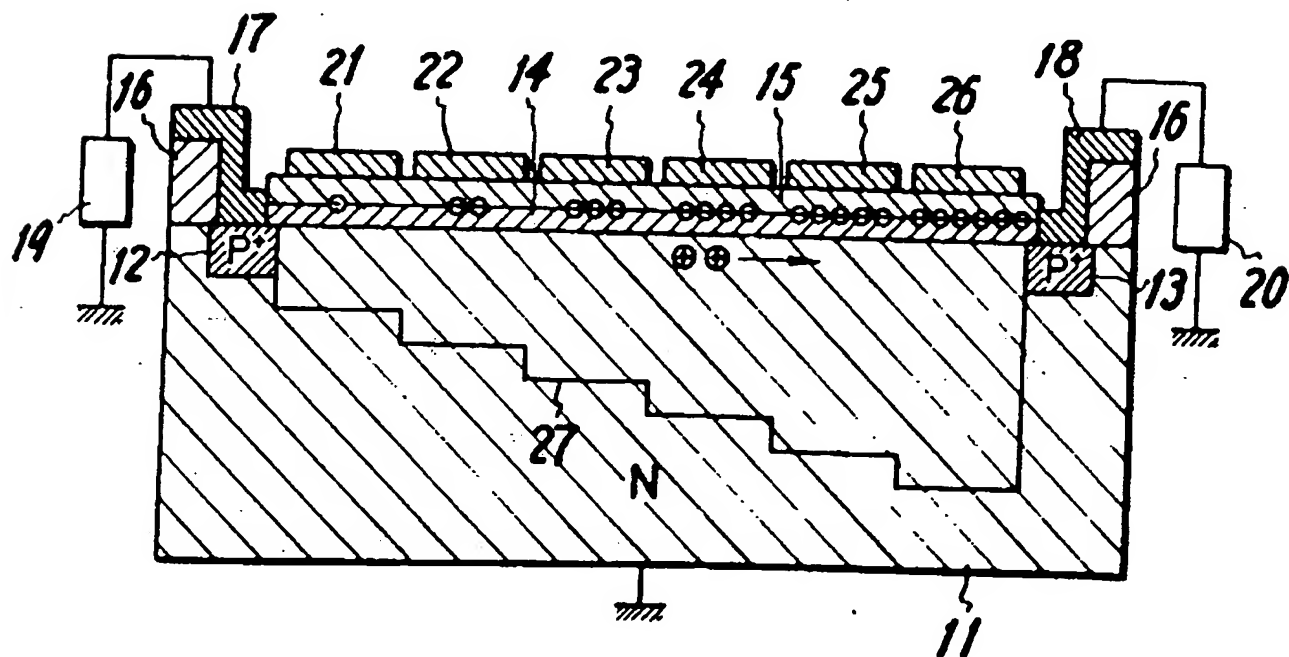
代 理 人 土 屋 勝

 高 野 則 次

第2A図



第2B図



(自発) 手続補正書

昭和47年12月13日

特許庁長官 三名 幸夫 殿

1. 事件の表示

昭和46年実用新案登録第 83995 号

2. 考案の名称 電荷結合形半導体装置

3. 補正をする者

事件との関係

実用新案登録出願人

住所

東京都品川区北品川6丁目7番5号

氏名

(218) ソニー株式会社

代表者 横田 昭夫

4. 代理人

〒160

住所

東京都港区新橋2丁目15番1号

氏名

電話東京(03) 5561-1496番

(6595) 弁理士 土屋 勝 (他1名)

5. 補正命令の日付

6. 補正により増加する発明の数

7. 補正の対象 明細書

8. 補正の内容

(1)、明細書第5頁8行の「3拍駆動」を「3相駆動」に訂正する。

48-41159-19

を一方方向にクロックレスで転送することが出来る。」

を加入する。

－ 以 上 －